

PAT-NO: JP401232848A

DOCUMENT-IDENTIFIER: JP 01232848 A

TITLE: SUBSEQUENT SYNCHRONIZING SYSTEM

PUBN-DATE: September 18, 1989

INVENTOR-INFORMATION:

NAME

USU, KATSUNORI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC ENG LTD

N/A

APPL-NO: JP63058186

APPL-DATE: March 14, 1988

INT-CL (IPC): H04L007/00

US-CL-CURRENT: 375/356

ABSTRACT:

PURPOSE: To improve the reliability of a DSU (digital line terminator) with a simple constitution by supplying a clock pulse extracted from a data line to each section when the clock pulse from the DSU is interrupted.

CONSTITUTION: A low speed clock pulse CLK from the digital line terminator DSU is received by a clock reception circuit 1, formed into a clock pulse with the TTL level and outputted to a phase synchronizing oscillation circuit 5 via a switching circuit 4. When a clock interruption detection circuit 2 detects the interruption of the clock pulse CLK, the detection circuit 2 operates a switching circuit 2 to supply the clock pulse being the result of frequency-division of a high speed clock pulse HCK extracted from a data line by a

frequency division circuit 3 to the oscillation circuit 5. The oscillation circuit 5 supplies the clock pulse to each section.

COPYRIGHT: (C)1989,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-232848

⑤ Int. Cl.<sup>4</sup>  
H 04 L 7/00

識別記号 庁内整理番号  
H-6914-5K  
B-6914-5K

⑬ 公開 平成1年(1989)9月18日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 従属同期方式

⑯ 特 願 昭63-58186

⑰ 出 願 昭63(1988)3月14日

⑱ 発 明 者 薄 克 典 東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内

⑲ 出 願 人 日本電気エンジニアリング株式会社 東京都港区西新橋3丁目20番4号

⑳ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

従属同期方式

2. 特許請求の範囲

外部からのクロック成分と同期してクロックパルスの発生を行なう従属同期方式において、デジタル回線終端装置からの低速クロックパルスを受信するクロック受信回路と、該クロック受信回路のクロック出力が断となつたことを検出するクロック断検出回路と、データ回線より抽出した高速クロックパルスを分周し低速クロックパルスとする分周器と、前記クロック断検出回路の検出々力に応じ前記クロック受信回路の出力からの分周器の出力へ切換を行なう切換回路と、該切換回路の出力と同期した高速クロックパルスを発生する位相同期発振回路とを備えたことを特徴とする従属同期方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、外部からのクロック成分と同期して

クロックパルスの発生を行なう従属同期方式に関するものである。

〔従来の技術〕

従属同期方式は、通信網の各装置間における同期動作等に用いられており、通信網の端末装置においては、デジタル回線終端装置(以下、DSU)から供給されるクロックパルスと同期させる方式、または、データ回線のクロック成分と同期させる方式が一般に用いられている。

〔発明が解決しようとする課題〕

しかし、DSUからのクロックパルスと同期させる方式では、DSUに多くの端末装置が接続される場合、別途にクロックパルス分配盤を設けねばならず、構成が複雑化する欠点を生じている一方、データ回線のクロック成分を抽出し、これと同期させる方式では、当該装置が例えばトランスコーダ等であり、データ回線の中に位置する場合、回線全体としての信頼性を低下させる欠点を生じている。

〔課題を解決するための手段〕

前述の課題を解決するため、本発明はつぎの手段により構成するものとなつてゐる。

すなわち、DSUからの低速クロックパルスを受信するクロック受信回路(以下、CKR)と、これのクロック出力が断となつたことを検出するクロック断検出回路(以下、CKD)と、データ回線より抽出した高速クロックパルスを分周し低速クロックパルスとする分周器(以下、DV)と、CKDの検出々力に依りCKRの出力からDVの出力へ切換を行なう切換回路(以下、SW)と、このSWの出力と同期した高速クロックパルスを発生する位相同期発振回路(以下、PLO)とを備えたものである。

#### 〔作用〕

したがつて、CKRを介するDSUからの低速クロックパルスが到来していれば、SWがCKRの出力を選択しており、これと同期した高速クロックパルスをPLOが発生し、CKRの出力が断となればSWがDVの出力を選択するため、データ回線から抽出した高速クロックパルスと同期した高速ク

る。

以上に対し、CKR1の出力が断となれば、CKD2の検出々力が生じ、これに応じてSW4がCKR1の出力からDV3の出力へ切換を行なうため、このときには、PLO5がDV3の出力と位相同期した高速クロックパルスを発生し、各部へ供給を行なうものとなる。

#### 〔発明の効果〕

以上の説明により明らかなおと本発明によれば、DSUからの低速クロックパルスを受信回路により受信すると共に、データ回線より抽出した高速クロックパルスを分周して低速クロックパルスとし、受信回路のクロック出力断を検出したとき、受信回路の出力から分周した出力への切換を行なうものとし、この切換出力により位相同期発振を行なわせることにより、DSUからのクロックパルスとの同期を優先とし、これの断に応じてデータ回線のクロック成分との同期が行なえるものとなり、構成の簡略化および信頼性の向上が実現すると共に、システム設計の自由度が向上し、特に通

ロクパルスをPLOが発生するものとなる。

#### 〔実施例〕

以下、実施例を示すブロック図によつて本発明の詳細を説明する。

同図においては、DSUからの低速クロックパルスLCKをCKR1が受信し、TTLレベルのクロックパルスとしたうえ送出しており、このクロック出力をCKD2が監視し、CKR1のクロック出力が断となれば、これの検出々力を送出するものとなつてゐる。

一方、データ回線から抽出した高速クロックパルスHCKをDV3が分周し、低速クロックパルスとしており、この出力およびCKR1の出力はSW4へ与えられ、こゝにおいて選択切換が行なわれるものとなつてゐる。

たゞし、SW4は、CKD2の検出々力が生じないとき、CKR1の出力を選択しており、この出力がPLO5へ与えられ、PLO5は、CKR1を介する低速クロックパルスLCKと位相同期した高速クロックパルスを発生し、各部への供給を行なつてい

信網の各装置における従属同期動作において顕著な効果が得られる。

#### 4. 図面の簡単な説明

図は本発明の実施例を示すブロック図である。

1・・・・クロック受信回路、2・・・・クロック断検出回路、3・・・・分周器、4・・・・切換回路、5・・・・位相同期発振回路。

特許出願人 日本電気エンジニアリング株式会社

代理人 山 川 政 樹 (ほか2名)

